部分グラフ同型判定アルゴリズムの FPGA を用いた実装手法

指導教官 :市川周一 学籍番号 :931709 氏名 :小西幸治

1. はじめに

部分グラフ同型判定は化学結合の検索や，シーン解析すなわちパタン認識など多くの分野に応用可能である [1]．しかし一般的に部分グラフ同型問題は NP 完全であり [2]，効率的に解くアルゴリズムは存在しない．

そこで部分グラフ同型問題をプログラム可能な論理デバイスである FPGA(Field Programmable Gate Array) に実装し，高速化することを試みた．FPGA では簡単かつ安価に専用アーキテクチャが実現可能である [3]．本研究では Lucent 社の ORCA OR2C シリーズ FPGA[4] を搭載する PCI バス用再構成可能論理ボード OPERL[5] を使用する．現段階で実装は完了していないが，部分グラフ同型判定アルゴリズムの提案および性能の見積りを行う．

以下，2 章では部分グラフ同型問題の定義を行う．3 章では提案アルゴリズムと比較対象となる refinement procedure[1] の探索空間削減法について触れる．4 章では提案アルゴリズムのリソース使用量見積りを行い，適用可能なグラフの大きさについて述べる．5 章では両方式の性能比較をする．

2. 部分グラフ同型問題

グラフは $p(\geq 1)$ 個の頂点からなる頂点集合 V と，$q(\geq 0)$ 個の辺からなる辺集合 E で構成され $G = (V, E)$ と表記する．V の要素を v_i, v_j とすると，E の要素 e_k は $\{v_i, v_j\}(i \neq j)$ と表現できる．なおこの論文では無向グラフを扱う．

$G_\alpha = (V_\alpha, E_\alpha)$ と $G_\beta = (V_\beta, E_\beta)$ $(p_\alpha \leq p_\beta)$ において G_α と G_β が部分グラフ同型とは，条件: $V \subseteq V_\beta$，$E \subseteq E_\beta$ ならば，$\{v_{\alpha i}, v_{\alpha j}\} \in E_\alpha$ かつ $\{f(v_{\alpha i}), f(v_{\alpha j})\} \in E$ となる 1 対 1 の写像 $f : V_\alpha \rightarrow V$ が存在，が成立する場合である．条件を満たす写像 f を調べる問題を部分グラフ同型問題とよぶ．以下では，部分グラフ同型問題を解くアルゴリズムを部分グラフ同型判定アルゴリズムとよぶ．

3. 探索空間削減法

本論文では探索木の巡回に深さ優先探索を使用する．深さ p_α の探索木は $v_{\alpha 1}, v_{\alpha 2}, ..., v_{\alpha p_\alpha}$ の写像先をそれぞれ深さ $1, 2, ..., p_\alpha$ の節に記述することによって作成する．

配列 $M = [m_{ij}](1 \leq i \leq p_\alpha, 1 \leq j \leq p_\beta)$ は，$m_{ij} = 1$ ならば $v_{\alpha i} \rightarrow v_{\beta j}$ へ写像できる可能性を示唆している．M の初期値は $deg(v_{\alpha i}) \leq deg(v_{\beta j})$ ならば $m_{ij} = 1$，それ以外は $m_{ij} = 0$ とする．$deg(v)$ は頂点 v の次数である．また $A = [a_{ij}]$，$B = [b_{ij}]$ は G_α，G_β の隣接行列である．

提案アルゴリズムでの探索空間削減は以下のように行う．深さ d で $m_{dj} = 1$ である $v_{\alpha d} \rightarrow v_{\beta j}$ の写像を決定し，$\forall i(i < d)(a_{id} = 1 \rightarrow b_{f(i)j} = 1)$ かどうかを調べる．条件を満たさなければ部分グラフ同型とならないので，それ以上調べない．一方 refinement procedure[1] では，全ての i, j に対して $\forall x(1 \leq x \leq p_\alpha)((a_{ix} = 1) \rightarrow (\exists y(1 \leq y \leq p_\beta)(m_{xy} \cdot b_{yj} = 1))$ が成立するかどうかを調べる．この条件が成立しない場合には $m_{ij} = 0$ とし，この作業を M が変化しなくなるまで繰り返す．

4. 提案アルゴリズムのリソース使用量

OR2C FPGA のリソース基本単位は PFU(Programmable Function Unit) であり，OR2C40A では最大 900PFU が利用可能である．提案アルゴリズムから抽出した基本論理回路に必要な PFU 数の合計値を，リソース使用量の見積り値とした．パラメータは p_α，p_β と ed_α である．ed_α は G_α の辺密度 (edge density) であり，p_α 個の頂点で構成される完全グラフの辺数 $(\frac{p_\alpha(p_\alpha-1)}{2})$ と q_α との比で表される．図 1に $ed_\alpha = 0.50$ における提案手法の使用 PFU 数を示す．PFU 数は $\max(O(p_\alpha^2 \cdot \log p_\alpha), O(p_\beta^2))$ で増加する．OR2C40A では $p_\alpha + p_\beta \leq 110$ のグラフが実装可能と予想される．

Refinement procedure では探索空間削減部分のみで $O({p_\alpha}^2 {p_\beta}^2)$ と多大な資源を要求する．提案アルゴリズムでは探索空間削減法を refinement procedure より単純化してリソース使用量を抑え，FPGA による実装を可能にした．

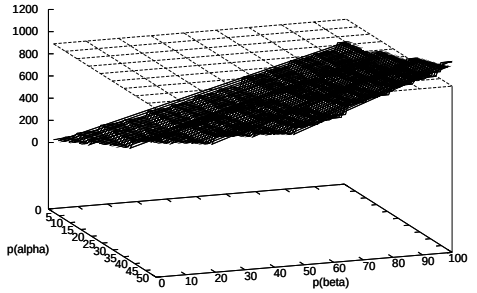

図 1: 提案手法の使用 PFU 数 $(ed_\alpha = 0.50)$

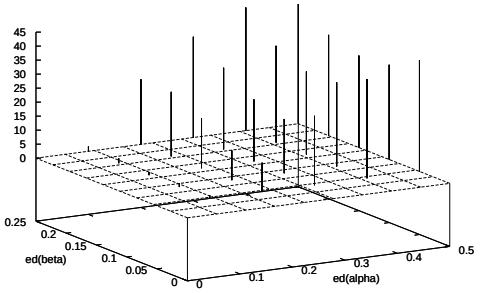

図 2: ed_α, ed_β による両方式の平均性能比

5. 両方法の性能比較

OPERL ボード上の OR2C FPGA は 33MHz で動作する．提案アルゴリズムの各ステップに必要なクロック数を合計することによって，実行時間の見積りを行った．Refinement procedure は C 言語で実装し，実行時間を測定した．測定した計算機は CPU: Pentium-II 333MHz，2nd cache: 512KB，メモリ: 128MB，OS: FreeBSD-2.2.6-RELEASE である．

両方法とも基本測定は $1 \leq p_\alpha \leq 10$，$1 \leq p_\beta \leq 15$ $(p_\alpha \leq p_\beta)$ で，50 回ずつ G_α と G_β をランダムに与えた．

図 2は $0.1 \leq ed_\alpha \leq 0.5$，$0.05 \leq ed_\beta \leq 0.25$ で基本測定を行った時の性能比平均値である．ed_α，ed_β ともに大きいほど性能がよくなっている．

6. おわりに

提案した部分グラフ同型判定アルゴリズムは $1 \leq p_\alpha \leq 10$，$1 \leq p_\beta \leq 15(p_\alpha \leq p_\beta)$ において，ed_α，ed_β ともに大きいほど高性能となる．また $p_\alpha + p_\beta \leq 110$ のグラフが実装可能である $(0.10 \leq ed_\alpha \leq 0.50)$．

今後は提案アルゴリズムを実際に OPERL ボード上へ実装し，評価を行うことを予定している．OR2C FPGA が持つ論理の動的再構成という特徴を利用し，提案手法を拡張することも検討中である (修士論文参照)．

参考文献

[1] J. R. Ullmann, "An Algorithm for Subgraph Isomorphism," Journal of the Association for Computing Machinery, Vol. 23, No. 1, pp. 31-42, 1976.

[2] Michael R. Garey, David S. Johnson, "Computers and intractability: a guide to the theory of NP-completeness, " W. H. Freeman, San Francisco, 1979.

[3] Duncan A. Buell et al., "Splash 2: FPGAs in a Custom Computing Machine," IEEE Computer Society Press, Los Alamitos, 1996.

[4] ルーセントテクノロジ株式会社, "ORCA^{TM} OR2CxxA と OR2TxxA シリーズ ・フィールド ・プログラマブル ・ゲートアレイ," 1997 年 10 月.

[5] 市川周一, 島田俊夫, "PCI バスに付加する再構成可能ボードの試作評価," 信学技報 CPSY96-97, pp. 159-166, 1996.