部分グラフ同型判定アルゴリズムの FPGA を用いた実装

指導教官 市川周一　学籍番号 967751　ラターナセンタン・ウドーン

1 はじめに

部分グラフ同型判定は化学物質の構造活性推測やシーン解析など，広い範囲に応用できる [1]．しかしこの問題は一般に NP 完全であり，実用的には計算困難である．このような応用には専用回路による高速化 [2] が有効と期待されるが，部分グラフ同型判定問題を解くために広く用いられている Ullmann のアルゴリズム [1] は，ゲート数の点からハードウェアへの実装が困難である．

小西 [3] は，探索空間削減の効率は Ullmann のアルゴリズムに劣るが，構造が単純でハードウェアへの実装に適したアルゴリズムを提案した (以下，小西のアルゴリズムとよぶ)．小西のアルゴリズムを FPGA に実装して 33MHz で動作させた場合，Ullmann のアルゴリズムのソフトウェアを 333 MHz の Pentium II 上で実行する場合と比べて，10 ~ 50 倍の性能が得られると予測される [3]．

そこで本研究では，Lucent 社 ORCA 2C15A FPGA を搭載する OPERL ボード [4] 上に小西のアルゴリズムを実装し，実機上で小西のアルゴリズムの性能を評価する．

2 実装結果

本研究では，OPERL ボード上の FPGA(OR2C15A) に小西のアルゴリズムの実行回路を 2 つ実装した (図 1)．Unit0 と Unit1 は独立に動作するので，2 ユニット並行に利用することで 2 倍のスループットを得ることができる．インタフェース回路はアドレスをデコードし，該当ユニットに対して制御，初期化，状態の監視などを行う．

各実行回路は，探索木巡回回路と辺存在確認回路から構成される．探索木巡回回路は，グラフ G_α から別のグラフ G_β への可能な頂点の組合せを列挙する．辺存在確認回路は，G_α の (検査対象となる) 辺の両端点を G_β に写像し，G_β の 2 頂点間に辺があるか確認する．今回の実装では，G_α, G_β ともに頂点数 15 までのグラフを対象とする．この回路の回路規模と動作周波数を表 1に示す．OR2C FPGA のリソース単位は PFU であり，今回実装に利用した OR2C15A では最大 400PFU が利用可能である．

3 性能評価

G_α, G_β の頂点数 p_α, p_β と辺密度 ed_α,ed_β を変えながら，ハードウェア (2 ユニット) の性能を測定した．$(ed_\alpha, ed_\beta) = (0.4, 0.4)$ のときの結果を，図 2に示す．ホストには AMD K6-III 400MHz, 主記憶 64MB, gcc-2.7.2.1, FreeBSD-2.2.1R の PC を用いた．性能比較対象として Ullmann のアルゴリズムを C 言語で実装し，Intel Pentium II 400MHz, 主記憶 256MB, gcc-2.8.1, FreeBSD-3.1R 上で実行して実行時間を測定した．

図 2から，今回実装した回路で最大 10 ~ 40 倍程度の性能向上が得られることがわかる．しかしパラメータの組合せによっては性能比が 1 を下回る場合もある．これは，小西のアルゴリズムの枝刈り能力が Ullmann のアルゴリズムに劣るためである．このような場合はソフトウェアで Ullmann のアルゴリズムを実行する方が良い結果が得られる．

この欠点を改善するため，$p_\alpha, p_\beta, ed_\alpha, ed_\beta$ から最適な実行方法を予測し，必要に応じて FPGA だけでなくホスト側のプロセッサにも同型判定を割り当てる方法 (協調法) を実装した．協調法の性能を図 3に示す．協調法では，ハードウェアの性能が劣る部分でも性能の低下が回避されている．

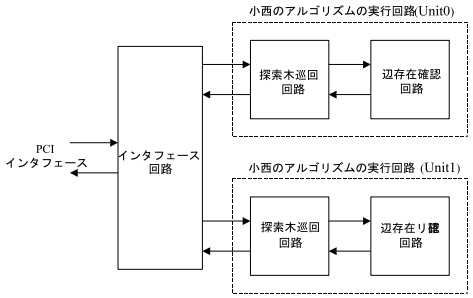

図 1: 小西のアルゴリズムの実行回路のブロック図

表 1: 回路規模と動作周波数

回路	PFU 数	動作周波数 (MHz)
インタフェース	23	33
Unit0, Unit1	160	16.5

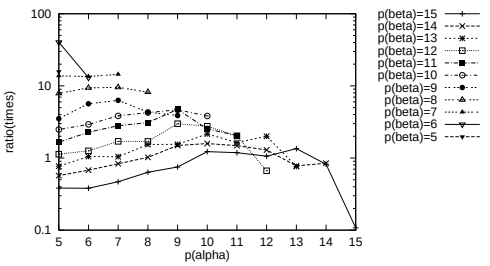

図 2: ハードウェアの性能 $(ed_\alpha, ed_\beta) = (0.4, 0.4)$

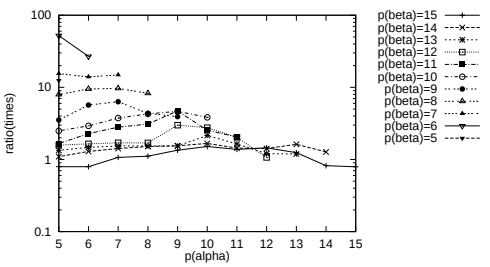

図 3: 協調法の性能 $(ed_\alpha, ed_\beta) = (0.4, 0.4)$

4 おわりに

今回実装した回路では，ソフトウェアと比べて最大 10 ~ 40 倍程度の性能が得られた．しかし実行回路の動作周波数はパイプライン化により 33MHz(現状の 2 倍) 程度まで改良することが可能である．また，大規模な FPGA を用いれば，より多くのユニットを実装することができる．これらの改良により更に大きな性能向上も容易であると思われる．

参考文献

[1] J. R. Ullmann, "An Algorithm for Subgraph Isomorphism," *J. ACM*, Vol. 23, No. 1, pp. 31-42, 1976.

[2] Duncan A. Buell et al., "Splash 2: FPGAs in a Custom Computing Machine," IEEE Computer Society Press, Los Alamitos, 1996.

[3] 小西幸治, 市川周一, "FPGA に対する部分グラフ同型判定アルゴリズムの実装手法の提案," 1999 年電子情報通信学会総合大会 (一般講演 A-3-2), 1999 年 3 月.

[4] 市川周一，島田俊夫, "PCI バスに付加する再構成可能ボードの試作評価," 信学技報 CPSY96-97，pp. 159-166，1996.