

FPGAによる実時間制御システムに関する研究

指導教官 市川周一

学籍番号 013749 山本浩司

1 はじめに

産業用機械などのシーケンス制御にはプログラマブル・ロジック・コントローラ (PLC) が多く用いられている。しかし、規模の拡大、要求精度の高まりに伴って PLC の速度不足が問題になりつつある。また、PLC プログラムはソフトウェアであるため解析やコピーが容易で、技術情報の流出やコピー商品の出現などの問題を招くことがあった。

近年、FPGA (Field Programmable Gate Array) を用いて制御プログラムを論理回路化する手法 (ハードワイヤード化) が検討されはじめた。FPGA はプログラム可能な LSI であるため生産現場で任意に論理を変更することができ、1チップで数十～数百万ゲートを集積しているため大規模な制御論理も小面積で実装することができる。部品点数の削減による低コスト化も期待できるため、高性能を必要とする大規模システムだけでなく、安価な小規模システムにも応用可能である。ハードウェアである FPGA の解析は PLC プログラムの解析より困難であるため、制御論理の秘匿性も高い。

本研究では、制御システムを実現するための論理ライブラリを整備し、実際の制御回路を FPGA 上に実装・評価することを目的とする。

2 実現手法

PLC プログラムはラダー図で記述されることが多く、ラダー図はリレー回路が原型であるため論理回路で実現可能である [1]。しかし、現在の PLC は一種の計算機であるため、単純な論理回路だけでは実現することができない。

PLC プログラムの命令列をハードウェアに変換するために、変換ツールが研究されている [2]。しかし現状では、変換ツールの機能は充分でない。また、制御システムは PLC 以外に多くの周辺回路から構成されるため、周辺回路まで FPGA 上に実装しなければ実用的システムを構成することができない。また、多く用いられる制御論理も、周辺回路と共にライブラリとして整備する必要がある。本研究では各種の基本的制御論理を検討し実装したが、それらに関しては (紙面の都合上) 省略し、以下では次章の実装評価で用いるパルスジェネレータ (PG) の実装だけを述べる。

制御システム中で PG の全ての機能を同時に用いるとは限らないので、本研究では PG の機能を 2 分割して実装した。第 1 の機能 (STPG) は、指定された速度 [Hz] のパルスを台形加減速制御で出力する (図 1)。台形加減速とは、速度を縦軸、時間を横軸にとったとき、速度の変化が台形となる加減速の方法である。STPG が起動されると、まず指定された周期でイベントを生成する。イベントが発生するごとに、加速時には指定された値を加算、減速時には減算して、動作速度を生成する。最終的に指定した速度まで加減速を行う。

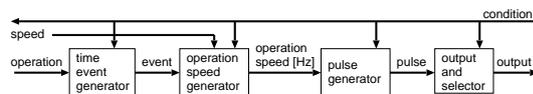


図 1: STPG のブロック図

第 2 の機能 (TRPG) は、外部からパルスを受け取り、電子ギア比 (分子 / 分母) 倍のパルスを出力する (図 2)。ここで分子 \leq 分母である。TRPG は指令を受けると、まず入力パルスの立上り、立下りごとにイベントを生成する。イベントが発生するごとに分子の値を加算し、分子の累算値が分母の累算値を超えたら出力パルスのレベルを反転して分母の値を加算する。分子の累算値と分母の累算値が等しくなったら累算値をリセットする。これは、コンピュータグラ

フィクスで直線生成に用いられる DDA (Digital Differential Analyzer) と類似のアルゴリズムである。

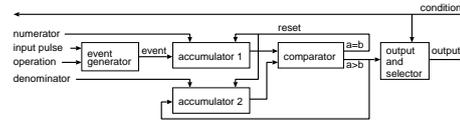


図 2: TRPG のブロック図

3 実装と評価

市川研究室では、平成 15～16 年度に八洲熱学 (株) との共同研究で整列巻取機を試作した。本研究では、実際の制御論理の例として、この整列巻取機の制御論理を FPGA に実装・評価した。ここでは、2 章で述べた周辺回路も用いられている。製作したシステムのブロック図を図 3 に示す。

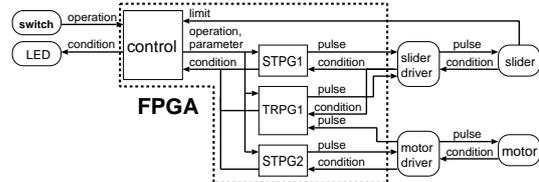


図 3: 試作した制御論理のブロック図

図 3 では、STPG2 から出力したパルスによって巻取モータ (motor) を回転させる。回転に連動してモータ用ドライバ (motor driver) のエンコーダからパルスが出力される。このパルスを TRPG1 が (分子 / 分母) 倍して、スライダ用ドライバ (slider driver) 経由でスライダ (slider) を動作させる。STPG1 は、モータ停止時に位置決めを行なう場合にだけ用いる。

図 3 の論理を VHDL で記述し、Altera 社の QuartusII4.0 で FPGA の論理を設計した。ターゲットデバイスには Altera 社の EP20K200EFC484-2X を指定した。その結果、回路規模は 430LE、動作周波数は 50.38MHz となり、充分実用可能な規模と速度の制御論理が得られた。この論理回路を FPGA 評価ボードにダウンロードし、インタフェース回路経由で実際のステッピングモータとスライダに接続したところ、問題なく動作することが確認された。

4 おわりに

実際に PLC と周辺回路による制御論理を FPGA ボードに置き換え、動作を確認した。これにより、FPGA による小型・高性能・高秘匿性制御論理の実現への第一ステップが実現されたという。本研究では、現実の制御論理を FPGA 上に実装し、動作を確認することができた。しかし現状では制御論理ライブラリの整備が十分でないため、さらに整備を進めていく必要がある。また、本研究で扱った制御論理は小規模なものであるため、より大規模な応用に関しても FPGA 技術が適用可能であるか検討を進めてゆきたい。

参考文献

- [1] Miyazawa, I. et al.: Implementation of Ladder Diagram for Programmable Controller Using FPGA, *Proc. 7th IEEE Int'l Conf. Emerging Technologies and Factory Automaton (EFTA'99)*, Vol. 2, pp. 1381–1385 (1999).
- [2] 池田亮, 市川周一: PLC プログラムの H/W 変換ツールに関する予備的検討, 平成 17 年電気学会全国大会 (投稿中).