

電気・電子情報工学専攻	学籍番号	M185201	指導教員氏名	市川 周一
申請者氏名	荻堂 盛也			

論文要旨(修士)

論文題目	動的部分再構成を用いた耐故障化手法の Xilinx Zynq-7000 SoC による実装
------	-----------------------------------------------

宇宙産業など、システムの信頼性が求められる状況下では、論理回路の動作を保証するために面積冗長化手法が多く採用される。しかし、従来手法(面積冗長化技術)は、同等の回路を複数実装することで信頼性を保証しているため、大きな面積オーバーヘッドが発生する。近年では、FPGA(Field Programmable Gate Array)などの再構成型デバイスを用いた再構成型耐故障アーキテクチャが注目されている。荻堂ら(2019)は、これまでに動的部分再構成を用いた論理回路における耐故障化手法の提案と、その自律的な制御方法について検討を行ってきた。荻堂らの検討した手法では、FPGAへの回路デザインの書き込みにFSBL(First Stage Boot Loader)を使用した。書き込みのたびに再起動が必要となり、実用性に難があった。

そこで本研究では、より現実的かつ汎用的な手法として、ハードコアプロセッサを混載したSoC(System on Chip)型FPGAを用いて、プロセッサからFPGA部の再構成動作を制御する手法を検討した。本研究では、様々な組込みシステムに応用できることを確認するため、OSなしのベアメタルアプリケーションと、より高級な環境として組み込みLinuxを用いた実装を検討した。

ベアメタルアプリケーションを用いた検討では、Xilinx社の提供するIPコアであるPRC(Partial Reconfiguration Controller)を評価ボードに実装し、動的部分再構成の制御を実現した。

Linux OSを用いた検討では、評価ボードへARM用のLinux OSを実装し、ハードコアプロセッサ専用のインターフェイス(PCAP)を経由した動的部分再構成の制御を検討した。特に、Linuxを用いた検討では、FPGA上に再構成可能な領域を複数備えたハードウェアを作成した。さらに、デバイスドライバを用いたプログラムにより、荻堂らが検討した、論理回路が再構成可能領域間を移動する巡回動作を再現した。巡回動作の再現にあたって、再構成可能領域を移動する回路へ正しくアクセスする方法についても検討した。具体的には、回路の移動と使用時に、ポートアドレスを格納する共通のデータベースを参照する手法について検討した。これにより、Linux OSを用いることで動的部分再構成が制御でき、再構成可能領域間を回路が移動してもI/Oの一貫性が保持できることが明らかになった。

最後に本研究では、組込みLinuxを用いたシステムで2つの応用例を実装評価した。

まず、大きな回路機能を複数タイルに分割実装する方法を実装した。RMにフラグを用いた通信機能を追加し、タイル間で処理データを受け渡す方法を実装した。その結果、複数タイルを用いた処理が正しく行われることが確認された。

次に、提案手法で多重化回路による耐故障化手法を実装した。同一の回路機能を3つの再構成可能領域に実装し、三重化回路として動作させた。各回路は一定時間ごとに移動させ、設計データを書き直すことで耐故障動作を実現した。この回路についても実機で正常動作することが確認された。