再構成可能論理ボードの基本性能評価

指導教官　市川周一　　学籍番号 941704　小田原 剛治

1. はじめに

応用プログラムに特化した専用回路を使用することにより，プログラムの実行時間を短縮することができる．特に FPGA(Field Programmable Gate Array) 等の再構成可能論理回路を利用すると，異なる応用プログラムを実行する毎に専用回路を再構成できるため，広範囲の応用に対して安価に専用回路を提供することができる．

このような再構成可能論理回路を多くのホスト計算機へ接続するには，汎用バス用ボードを提供する手法が有効である．ホスト計算機に依存しないインターフェースを提供することにより，作成したソフトウェアの移植やホスト計算機の更新にも柔軟に対応可能となる．汎用バスを使用する手法の問題点は，ホスト計算機と再構成可能論理回路の間のデータ転送性能が汎用バスの転送幅や遅延時間によって制限されることである．近年の汎用バス (例えば PCI) は年々高速化が図られているが，応用プログラムの要求を満たすことができるか否かは定量的な評価によって検証されなければならない．

2. 再構成可能論理ボード

Virtual Computer Corp．(VCC) の H.O.T.Works は，Xilinx 社の FPGA である XC6216[1] を搭載し PCI バスに接続される再構成可能論理ボードである．ボード上には 512KB のローカル・メモリ (SRAM) を搭載し，プログラム可能なクロック・ジェネレータ [2] によって動作周波数を変更することができる．

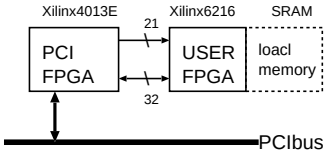


図 1 ．**VCC H.O.T. Works** ボードのブロック図

PCI バスに接続できる再構成可能論理ボードとしては OPERL[3] があるが，OPERL に搭載されている Lucent 社の FPGA(ORCA OR2C シリーズ) は一度に全体を再構成する方式である．これに対し XC6200 シリーズでは，任意の一部分の論理回路を SRAM 類似のインターフェースで随時再構成可能である．このため専用回路を使用するオーバーヘッドは減少し，応用プログラム間で FPGA を共有するなどの柔軟な利用法が可能になると期待される．

H.O.T. Works を実応用に適用する前に，まず PCI バス上での転送幅や遅延時間などの基礎的なデータを収集し，適切な設定パラメータを求めなければならない．そのためには基本ソフトウェアやライブラリの整備も必要である．本研究では，ソフトウェアを作成してボード上の動作クロックを変更し，各クロック周波数において PCI バス上のデータ転送幅と遅延時間を測定した．

3. H.O.T. WORKS の性能測定

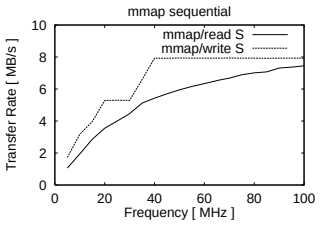
H.O.T. Works の性能を評価するシステムの仕様は以下の通りである．

プロセッサ	Intel Pentium 133MHz
マザーボード	ASUSTEK P55T2P4
PCI バスクロック	33MHz
主記憶	EDO DRAM 64MB(60ns)
OS	Free BSD 2.2.1R

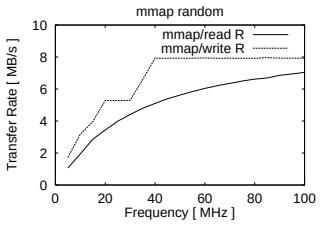
H.O.T. Works は Unix 上では文字型デバイスとして扱われ，データの転送には以下の 3 つの方法がある．

- User I/O　:inline 関数を呼び出すとコンパイラが入出力命令を挿入する．
- mmap :物理アドレス上のウィンドウをユーザのメモリ空間にマップする．
- read/write :デバイスの SRAM とホスト計算機のメモリ間の転送処理を行う．

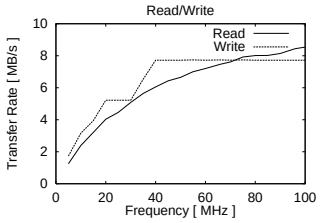
測定は 5MHz から 100MHz まで 5MHz おきに周波数を変えて行った．ただし 65MHz と 95MHz に関してはハードウェアの制限のため，各 66MHz，96MHz で代替した．以下に測定の結果をグラフで表す．ただし UserI/O については周波数によらず一定値 (inl = 10.35，outl = 10.02)[MB/s] であったのでグラフは省略する．mmap については連続アドレスへの転送とランダムなアドレスへの転送について測定した．



(a)mmap(連続)



(b)mmap(ランダム)



(c)Read/Write

連続アドレスへの書き込みでは PCI バス上でバースト転送が起こり転送性能が向上すると期待されたが，実測値 (a)(b) ではランダム転送と有意な差がなかった．出力の方が入力よりも速いのは，入力が「アドレスを送ってデータを受け取る」のに対して，出力は「アドレスとデータを送る」という一方通行で終了するためであろう．出力が 8MB/s で頭打ちになったのは，ハードウェア性能がピークに達したものと思われる．(c) では read が write より速くなっているが，これは考えにくい現象である．今後十分に調査して原因を確認する必要がある．User I/O のデータ転送幅が周波数によらず一定だったのは，この処理がボード内の動作クロックを使用していないためと考えられる．

4. おわりに

H.O.T. Works のデータ転送幅は OPERL のものと比べて圧倒的に小さい．これはボード上の PCI インターフェースの設計が悪いためと推測される．一方，XC6200 シリーズは論理の部分再構成が可能なので FPGA のプログラム時間は短縮できると期待される．今回は論理回路の設計ができなかったため再構成時間は測定できなかったが，今後は XC6200 上に実際の回路を作成し，再構成時間を含めた応用プログラムの高速化手法について検討したい．

参考文献

[1] XC6200 Field Programmable Gate Array，Xilinx(1996)．

[2] Programmable Clock Generator ICD2053B，Cypress Semiconductor Corporation(1995)．

[3] 市川周一，島田俊夫 ：パーソナルコンピューティング指向の動的再構成可能 PCI カード， 第 5 回 FPGA/PLD Design Conference & Exhibit(1997)．