データ依存回路による隣接判定方式の評価

指導教官 市川周一　　学籍番号 013749　山本浩司

1　部分グラフ同型判定問題

2 つのグラフ G_α，G_β が与えられたとき，G_α が G_β のいずれかの部分グラフと同型か否か判定する問題を〝部分グラフ同型判定問題〟と呼ぶ (図 1)．G_α から G_β への写像のうち，隣接関係 (辺) が保持されるような写像を探す問題と言い換えても良い．この問題は幅広い応用を持つが，一般に NP 完全で，実用時間で解くことは困難である．

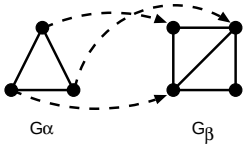

図 1: 部分グラフ同型の例

部分グラフ同型判定問題を高速に解く手法として，専用回路の利用が考えられている．Ullmann の回路 [1] は有効であるが，回路規模が大きくなるため実装困難である．

Ullmann の回路をデータ依存回路で実装すると回路規模が減少することが知られている [2]．一般に入力が定数であれば論理回路を簡単化できるので，入力データごとに専用回路を生成すると回路規模を削減できる．この場合，生成された回路は入力データに依存するので〝データ依存回路〟とよぶ．

小西のアルゴリズム [1] は，Ullmann のアルゴリズムよりも枝刈りが単純である．そのため Ullmann のアルゴリズムより小さい回路で実装することができる．本研究では，小西のアルゴリズムの隣接判定部分をデータ依存回路で実装し，その回路規模と判定時間を評価する．

2　設計

先行研究 [1] では，隣接関係をリスト型式でメモリに格納し，リストを順番に読みだして隣接判定を行っていた．一方，Huelsbergen の DGP (Dynamic Graph Processor)[3] では，グラフの頂点を回路で実現し，辺を配線で実現している．DGP の発想を利用すれば，ある頂点に隣接する頂点を組合せ回路で高速に求めることができる．

本研究では，組合せ回路による隣接判定を行うため，以下の 2 つの設計案を検討した．

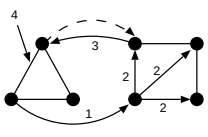

図 2: 直列案

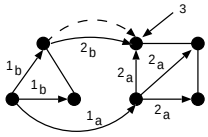

図 3: 並列案

第 1 案 (直列案) の概念を図 2 に示す．まず，ある頂点を写像し (図 2 の 1)，写像された頂点に隣接する頂点を求める (図 2 の 2)．次に 2 で求めた頂点の逆写像を求める (図 2 の 3)．最後に，G_α で隣接している頂点が G_β でも隣接しているか確認する (図 2 の 4)．

第 2 案 (並列案) を図 3 に示す．まず，ある頂点を写像する (図 3 の 1a)．同時に，その頂点に隣接する頂点も求めておく (図 3 の 1b)．次に，1a で求めた頂点に隣接する頂点を求める (図 3 の 2a)．それと同時に，1b で求めた頂点の写像先も求めておく (図 3 の 2b)．最後に，2b で求めた頂点が 2a で求めた頂点に含まれるか確認する (図 3 の 3)．

3　評価

実際に直列案・並列案を設計して，回路規模と判定時間を測定した．論理は VHDL で記述し，論理合成およびマッピングを行って結果を評価する．論理合成には Synopsys 社 FPGA CompilerII を用い，Duron 800MHz PC 上で実行した．マッピングは Lucent 社 ORCA Foundry 9.4a を用い，PentiumIII 450MHz PC で実行した．本研究では配置配線 (P&R) は行っていない．

データ依存回路は入力グラフに依存するため，ランダムな木 20 組 (Graph1)，ランダムな連結グラフ 20 組 (Graph2)($ed_\alpha = 0.3, ed_\beta = 0.4$)，完全グラフ 1 組 (Graph3) について回路を生成し，その平均をとった．ここで，ed_α, ed_β はグラフ G_α, G_β の辺密度である．

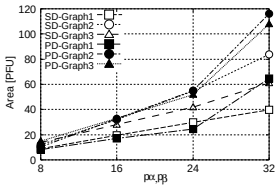

図 4: 回路規模

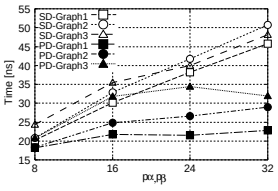

図 5: 判定時間

回路規模および判定時間の評価結果を図 4 と図 5 に示す．図中の p_α, p_β は，それぞれ G_α, G_β の頂点数である．ここでは $p_\alpha = p_\beta$ としている．図 4 から，直列案 (SD) は並列案 (PD) より回路規模が小さいことがわかる．一方，判定時間は並列案 (PD) の方が直列案 (SD) より短い (図 5)．

さらに AT 積による比較を行った．AT 積は回路規模 (Area) と判定時間 (Time) の積で，コスト性能比を示す指標である．AT 積が小さいほどコスト性能比が良いといえる．全体的に並列案の方がコスト性能比が良いが，完全グラフでは直列案が勝っている．

比較対象として，直列案・並列案の〝データ非依存回路〟も実装した．データ非依存回路の回路規模は，$p_\alpha = p_\beta = 16$ のとき 238 PFU (直列案) および 297 PFU (並列案) で，データ依存回路の 10 倍程度であった．このときの判定時間は 37.30 ns (直列案) および 27.52 ns (並列案) であり，AT 積でもデータ依存回路が勝っている．

4　まとめ

データ依存回路では入力データごとに回路を生成するので，個別の入力データに合わせて最適な設計案を選択することが可能である．具体的な選択方法は今後の課題である．さらに小西の回路全体について設計・評価してゆきたい．

参考文献

[1] 市川周一, ラターナセンタンウドーン, 小西幸治: 部分グラフ同型判定アルゴリズムの FPGA による実装と評価, 情報処理学会論文誌, Vol. 41, No. SIG5(HPS1), pp. 39–49 (2000).

[2] Ichikawa, S. and Yamamoto, S.: Data Dependent Circuit for Subgraph Isomorphism Problem, *FPL 2002*, LNCS 2438, Springer, pp. 1068–1071 (2002).

[3] Huelsbergen, L.: A Representation for Dynamic Graphs in Reconfigurable Hardware and its Application to Fundamental Graph Algorithms, *FPGA 2000*, ACM, pp. 105–115 (2000).