

# 令和4（2022）年度 卒業研究報告書概要

課程, 学籍番号, 氏名	課程：電気・電子情報工学課程, 学籍番号：B213233, 氏名：鹿野 貴義
工学分野名：情報通信システム	指導教員名：市川 周一
<p>題目：和 FPGA 実装のためのオープンソース RISC-V コアの比較</p> <p>(英 Comparison of open source RISC-V core for FPGA implementation )</p>	
<p><b>Abstract</b></p> <p>Recently, the basis of custom processor design is moving to an open-standard ISA (e.g., RISC-V ISA). A lot of RISC-V cores are available as open source, which adopt the different environments and description languages. This study investigates the license and description language of RISC-V cores and reports the logic scale and performance of RISC-V cores. The performances are measured by the max frequency, the power consumption estimated by Vivado, and the benchmark scores. The evaluation environment includes Arty A7-100 board, which implements Rocket and SHAKTI C-Class as RISC-V core. Rocket is written in Chizel, and C-Class is written in Bluespec System Verilog. Both of them are available under BSD license. In terms of the logic scale, Rocket is greater than C-Class in six categories out of eight categories. The max frequency of C-Class is approximately 30% of that of Rocket. The total power of Rocket is estimated as 47.1% of that of C-Class. Dhrystone score of C-Class is 1.16 times higher than that of Rocket. C-Class is 2.00 times faster than Rocket in CoreMark bench.</p>	
<p><b>概 要</b></p> <p>本研究室では専用プロセッサの設計と評価を行っており、これまで評価基盤として MIPS ISA を採用していた。しかし MIPS ISA はライセンスの制約が厳しいため、オープン標準の RISC-V ISA への移行を進めている。RISC-V コアの多くはオープンソース化されているが、それぞれ実装環境・記述言語が異なり目的に応じて選択する必要がある。今後の研究で利用するには、オープンソースであることに加えて FPGA ボードに実装可能であることが望ましい。また、論理規模や性能面で研究用途に適さないものは除外する必要がある。</p> <p>本研究の目的は、オープンソースの RISC-V コアについて調査し、評価基盤としての基礎的評価を行うことである。RISC-V コアの記述言語・ライセンス形式を調べ、FPGA ボードに実装可能な RISC-V コアの論理規模と性能を実機へ搭載して測定する。</p> <p>Dörflinger ら (2021) は 64 ビット ISA, Elsadek ら (2021) は 32 ビット ISA について比較調査を行った。この際に使用した FPGA ボードは高価であり、学生の研究には向いていない。そこで、より低価格であり、RISC-V コアの実装が確認されている Digilent Arty A7-100 を実装対象として想定する。</p> <p>一般的に 32 ビットより 64 ビット・アドレッシングの方が高性能である。本研究では、Arty A7-100 に実装可能かつ 64 ビット ISA として、Rocket と SHAKTI C-Class を評価対象に選択した。それぞれの RISC-V コアについて論理規模と性能を評価した。性能指標には、最大動作周波数・予想消費電力・Dhrystone・CoreMark を採用とした。論理規模・最大動作周波数・予想消費電力は Vivado を使用して導出・算出した。Dhrystone と CoreMark の測定は、RISC-V コアを実装した FPGA ボード上の Linux で行った。</p> <p>調査の結果、Rocket は Chizel, C-Class は Bluespec System Verilog で記述され、ライセンス形式はどちらも BSD である。論理規模は 8 項目中 6 項目で Rocket の方が優れている。最大動作周波数は C-Class が Rocket の 1.03 倍の性能である。消費電力の予測値は Rocket が C-Class より優れており C-Class を基準にすると、static 時に 98.1%, dynamic 時に 41.0%, total 時に 47.1% となった。Dhrystone スコアは Rocket が 0.398 DMIPS/MHz, C-Class が 0.461 DMIPS/MHz となり、C-Class は Rocket の 1.16 倍の性能である。CoreMark スコアは Rocket で 0.940 CoreMark / MHz, C-Class で 1.88 CoreMark / MHz となり、C-Class は Rocket の 2.00 倍のスコアであった。</p>	

発表する際の課程を記入

電気・電子情報工学

課程

発表番号

53

(学籍が他課程所属の学生も発表する課程を記入すること)